

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-141231

(43)Date of publication of application : 28.06.1986

(51)Int.Cl. H04K 1/02
H04L 9/02

(21)Application number : 59-263536

(71)Applicant : SONY CORP

(22)Date of filing : 13.12.1984

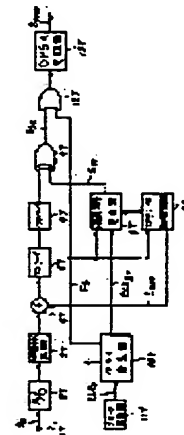
(72)Inventor : HAYASHI SHUNEI
SUGANO MASAKI

(54) TRANSMISSION SYSTEM

(57)Abstract:

PURPOSE: To attain high confidentiality by changing a generation polynomial of an M series code or its initial value at a prescribed timing, scrambling a digital data signal and transmitting the signal to prevent ease of descrambling by the 3rd party.

CONSTITUTION: A voice signal SA is converted to a digital signal by an A/D converter 2T, subjected to time axis compression at each frame by a time axis compression circuit 3T and the result is fed to a synthesizer 4T. An identification code CKEY of the M series code outputted from an M series code generator 8T via a scramble controlling circuit 9T in the synthesizer 4T is added to an output signal of the circuit 3T. The code CKEY corresponds to the M series code string after one frame. The output of the synthesizer 4T is fed to an encoder 5T, where an error correction code is added, the result is interleaved (6T) and then fed to one input of an exclusive OR circuit 7T being a component of a scramble circuit. An M series code SM is fed to the other input of the circuit 7T from the circuit 8T, the scrambled signal SSC is ORed (12T) with a frame synchronizing signal FS and its output is subjected to differential phase modulation 13T and then transmitted.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A)

昭61-141231

⑬ Int. Cl.⁴H 04 K 1/02
H 04 L 9/02

識別記号

庁内整理番号

7240-5K
B-7240-5K

⑭ 公開 昭和61年(1986)6月28日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 送信方式

⑯ 特 願 昭59-263536

⑰ 出 願 昭59(1984)12月13日

⑱ 発 明 者 林 俊 英 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑲ 発 明 者 菅 野 正 喜 東京都品川区北品川6丁目7番35号 ソニー株式会社内
 ⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
 ㉑ 代 理 人 弁理士 伊藤 貞 外1名

明 細 書

発明の名称 送信方式

特許請求の範囲

M系列符号で、デジタルデータ信号をスクランブルし、このスクランブル信号に上記M系列符号の識別信号を付加して送信すると共に、上記M系列符号の生成多項式又は上記M系列符号の初期値を所定タイミングで変えることを特徴とする送信方式。

発明の詳細な説明

(産業上の利用分野)

本発明は、M系列符号で、デジタルデータ信号をスクランブルして送信する送信方式に関する。

(従来の技術)

従来、ケーブルテレビ(CATV)等では、特定の契約者のみが受信し得るように、データ信号の送信形態を工夫して送信することが行なわれている。

ところで、衛星放送の音声系においては、受信側でビットクロック再生が容易となるように、デジタルデータ信号に送信側で“0”または“1”

が不規則に現れる擬似ランダム信号を付加、つまりスクランブルをし、受信側では、送信側と同じ擬似ランダム信号を用意してデスクランブルをすることが知られている。そして、この擬似ランダム信号として、例えば、M系列符号が用いられる。このように、デジタルデータ信号をM系列符号でスクランブルすることは、特開昭55-39436号公報に明記されている。

このデジタルデータ信号をM系列符号でスクランブルすることは、デジタルデータ信号の送信形態が変ることを意味し、この手法を用いて上述したように、特定の契約者のみが受信し得るようにすることができる。

(発明が解決しようとする問題点)

しかし、従来の衛星放送のように、使用されるM系列符号が、例えば1種類のみであるとすれば、デスクランブルは簡単であり、その秘密性に問題がある。

そこで、本発明においては、簡単にデスクランブルされないようにするものである。

〔問題点を解決するための手段〕

本発明は上述問題点を解決するため、M系列符号の生成多項式又はその初期値を所定タイミングで変えて、デジタルデータ信号をスクランブルして送信するものである。

〔作用〕

以上の構成において、デジタルデータ信号をスクランブルするM系列符号が所定のタイミングで変化することになるので、第三者がデスクランブルを行なうことは極めて難しいものとなる。

〔実施例〕

以下、第1図以降を参照しながら本発明の一実施例について説明しよう。本例は衛星放送の音声系に適用された例である。

第1図は送信系を示しており、端子(1T)には音声信号 S_A が供給される。この音声信号 S_A は、A/D変換器(2T)でデジタル信号に変換されたのち、時間軸圧縮回路(3T)でフレーム毎に時間軸圧縮されて合成器(4T)に供給される。この合成器(4T)では、後述するM系列符号発生器から

(10T)にはクロック発生器(11T)からクロック信号 CLK_T が供給され、上述したフレーム同期信号 FS 、ビットクロック信号 CLK_{BT} の他に、回路各部で使用されるパルス、クロック信号が発生される。尚、制御回路(9T)より上述したキーコード C_{KEY} が発生され、これが合成器(4T)に供給される。

発生器(8T)からのM系列信号 S_M は、イクスクルーシブオア回路(7T)の他方の入力側に供給され、このイクスクルーシブオア回路(7T)の出力側にはM系列符号 S_M でスクランブルされた信号 S_{sc} が得られる。

ここで、M系列符号発生器(8T)は、例えば第3図に示すように構成される。

同図において、 $D_0 \sim D_{10}$ は1ビットタイムの遅延素子であり、(14₁)～(14₁₀)はイクスクルーシブオア回路である。また、(15₁)～(15₁₀)は、生成多項式 $f(x)$ のパターンを決定するアンド回路である。また、アンド回路(16)、(17)、オア回路(18)、インバータ(19)は生成多項式

のM系列符号の識別信号(以下、キーコードという) C_{KEY} が付加される。このキーコード C_{KEY} としては1フレーム後のM系列符号に対応するものとされる。

合成器(4T)の出力信号はエンコーダ(5T)に供給され、誤り訂正符号、例えばBCH符号 C_{BCH} が付加される。第2図は、このエンコーダ(5T)の出力信号を示している。尚、同図において、 FS は後に付加されるフレーム同期信号である。

このエンコーダ(5T)の出力信号はインターリーブ(6T)に供給されて、インターリーブされたのち、スクランブル回路を構成するイクスクルーシブオア回路(7T)の一方の入力側に供給される。

また、(8T)はM系列符号発生器であり、スクランブル制御回路(9T)によって、所定タイミング毎にその生成多項式 $f(x)$ が変えられる。この発生器(8T)にはパルス発生器(10T)よりフレーム同期信号 FS 及びビットクロック信号 CLK_{BT} が供給されると共に、制御回路(9T)には、フレーム同期信号 FS が供給される。パルス発生器

$f(x)$ の次数を10次あるいは11次に制御するための回路を構成している。

また、(20)はスクランブル制御回路(9T)を構成するマイクロコンピュータ(以下マイコンという)、(21)はラッチ回路である。制御回路

(9T)のマイコン(20)の出力端子 $O_1 \sim O_{10}$ 、 $O_{10/11}$ には、“1”、“0”の信号が出力され、そして、フレーム同期信号 FS に同期してラッチ回路(21)にはラッチパルス P_{LA} が供給され、この出力がラッチされる。これにより、アンド回路(15₁)～(15₁₀)等が制御され、発生器(8T)の生成多項式 $f(x)$ 、即ちパターンが決められる。このような動作はフレーム毎になされ、生成多項式 $f(x)$ は所定フレーム毎に変えられる。上述したように制御回路(9T)より発生されるキーコード C_{KEY} は、このマイコン(20)の出力端子 $O_1 \sim O_{10}$ 、 $O_{10/11}$ に1フレーム後に出力される信号に対応するもの、即ち発生器(8T)における1フレーム後の生成多項式 $f(x)$ に対応するものとされる。尚、遅延素子 $D_0 \sim D_{10}$ は例えばDフリップフロ

ップで構成され、これらにはビットクロック信号 CLK_{BT}が供給されると共に、初期値設定のためのプリセット信号としてフレーム同期信号FSが供給される。

ここで、実際のM系列の生成多項式 $f(x)$ として、次数が10次及び11次のものは、表1に示すように夫々10通りずつ、合計20通りが考えられる。発生器(8T)の生成多項式 $f(x)$ は、制御回路(9T)の制御によって、これらの生成多項式 $f(x)$ に順次変えられる。尚、この表において、「ビット」で示す項が、夫々の生成多項式 $f(x)$ に対応するキーコードC_{KEY}である。

表 1

パターンNo	ビット	偶数パリティ		11次	10次	パターンコード			m系列生成多項式 $f(x)$
		1	2	3	4	5	6	7	8
1	0	x	x	0	0	0	0	0	$x^{10} + x^3 + 1$
	1	x	x	1	0	0	0	1	$x^{10} + x^9 + x^3 + x^2 + 1$
	2	x	x	1	0	0	1	0	$x^{10} + x^4 + x^3 + x + 1$
	3	x	x	0	0	0	1	1	$x^{10} + x^8 + x^5 + x + 1$
	4	x	x	1	0	0	1	0	$x^{10} + x^8 + x^5 + x^4 + 1$
	5	x	x	0	0	1	0	1	$x^{10} + x^9 + x^4 + x + 1$
	6	x	x	0	0	1	1	0	$x^{10} + x^9 + x^4 + x^3 + 1$
	7	x	x	1	0	1	1	1	$x^{10} + x^9 + x^3 + x^2 + 1$
	8	x	x	1	0	0	0	0	$x^{10} + x^5 + x^3 + x + 1$
	9	x	x	0	0	1	0	1	$x^{10} + x^9 + x^4 + x^2 + 1$

0	x	x	1	0	0	0	0	$x^{11} + x + 1$
1	x	x	0	0	0	1	1	$x^{11} + x^9 + x^5 + x^2 + 1$
2	x	x	0	0	1	0	1	$x^{11} + x^7 + x^3 + x^2 + 1$
3	x	x	1	0	0	1	1	$x^{11} + x^6 + x^3 + x^2 + 1$
4	x	x	0	0	1	0	0	$x^{11} + x^{10} + x^3 + x^2 + 1$
5	x	x	1	0	1	0	1	$x^{11} + x^6 + x^5 + x + 1$
6	x	x	1	0	1	1	0	$x^{11} + x^6 + x^3 + x + 1$
7	x	x	0	1	1	1	1	$x^{11} + x^9 + x^4 + x + 1$
8	x	x	0	1	0	0	1	$x^{11} + x^9 + x^6 + x^2 + 1$
9	x	x	1	1	0	0	1	$x^{11} + x^9 + x^6 + x^3 + 1$

第1図に戻って、イクスクルーシブオア回路

(7T)より得られるスクランブルされた信号 S_{sc} はオア回路(12T)の一方の入力側に供給される。そして、このオア回路(12T)の他方の入力側にはパルス発生器(10T)よりフレーム同期信号FSが供給され、信号 S_{sc} にフレーム同期信号FSが付加される。

また、このオア回路の出力信号はDPSK(差動位相変調)変調器(13T)で変調され、そして、図示せず、この変調信号 S_{mod} が映像信号と合成されたのち、FM変調されてアンテナより送信される。

次に、第4図は受信系を示すものである。

同図において、(13R)はDPSK復調器を示し、図示せずアンテナより得られる信号がFM復調された後、分離された信号 S_{mod} が供給される。この復調器(13R)で復調された信号はフレーム同期分離回路(12R)に供給され、この分離回路(12R)で分離されたフレーム同期信号FSは、M系列符号発生器(8R)、デスクランブル制御回

路(9R)及びパルス発生器(10R)に供給される。パルス発生器(10R)からはフレーム同期信号FSに同期したビットクロック信号CLK_{BR}が発生され、発振器(8R)に供給される。尚、パルス発生器(10R)からは、ビットクロック信号CLK_{BR}の他に、回路各部で使用されるパルス、クロック信号等が発生される。

M系列符号発生器(8R)は上述した送信系の発生器(8T)と同様に構成され、デスクランブル制御回路(9R)も上述した制御回路(9T)と同様にマイコン(20)及びラッチ回路(21)を有して構成される(第3図参照)。発生器(8R)は制御回路(9R)によって、所定タイミング毎にその生成多項式f(x)が変えられる。この発生器(8R)からのM系列符号S_Mはデスクランブル回路を構成するイクスクルーシブオア回路(7R)の一方の入力側に供給される。このイクスクルーシブオア回路(7R)の他方の入力側には、同期分離回路(12R)から、フレーム同期信号FSが分離された残りの信号、即ちスクランブルされている信号S_{sc}が供

給される。

この場合、発生器(8R)は制御回路(9R)によって、所定タイミング毎にその生成多項式f(x)が変えられ、この発生器(8R)からは信号S_{sc}がスクランブルされたときと同じ生成多項式f(x)によるM系列符号S_Mが発生される。従って、イクスクルーシブオア回路(7R)からは、デスクランブルされた信号が得られる。

このイクスクルーシブオア回路(7R)より得られる信号はデインターリーブ(6R)でデインターリーブされ、そしてデコーダ(5R)において、誤り訂正符号C_{BCH}に基づいて誤り検出、訂正がなされる。そして、このデコーダ(5R)からの出力はキーコード分離回路(4R)に供給される。

このキーコード分離回路(4R)より分離されたキーコードC_{KEY}は制御回路(9R)に供給される。この供給されるキーコードC_{KEY}は1フレーム後のものであり、このキーコードC_{KEY}に基づいて上述したように発生器(8R)が制御される。

即ち、第5図Aはフレーム同期信号FSを示す

ものであり、また、同図Bはデコーダ(5R)の出力信号を示すものであり、10、15、22・・・等はキーコードC_{KEY}を示している。あるフレーム同期信号FSの後に、キーコード分離回路(4R)でキーコードC_{KEY}が分離され制御回路(9R)に供給される。このキーコードC_{KEY}は次のフレームをスクランブルしているM系列符号S_MのキーコードC_{KEY}である。キーコードC_{KEY}が供給されると、制御回路(9R)のマイコン(20)の出力端子O₁～O₁₀、O_{10/11}には、第5図Cに示すように、キーコードC_{KEY}に基づく信号、即ち、発生器(8R)の生成多項式f(x)を、キーコードC_{KEY}に対応するものとするための信号が出力される。そして、次のフレーム同期信号FSに同期して、制御回路(9R)のラッチ回路(21)にラッチパルスP_{LA}(第5図Dに図示)が供給され、ラッチ回路(21)には、第5図Eに示すようにマイコン(20)の出力がラッチされる。そして、発生器(8R)の生成多項式f(x)は、前のフレームで分離したキーコードC_{KEY}に対応するものとされる。

即ち、イクスクルーシブオア回路(7R)に供給される信号S_{sc}がスクランブルされたときと同じ生成多項式f(x)とされ、上述したようにデスクランブルが良好になされる。

また、分離回路(4R)でキーコードC_{KEY}が分離された残りの信号は、時間軸伸長回路(3R)で時間軸伸長されたのちD/A変換器(2R)でアナログ信号に変換され、出力端子(1R)には、音声信号S_Aが得られる。

このように本例によれば、デジタルデータ信号は、複数の生成多項式f(x)のM系列符号S_Mによってスクランブルされて送信されるので、デスクランブルがかなり困難となり、データの秘密性が高いものとなる。

尚、本例のようにキーコードC_{KEY}を挿入して送信することにより、デスクランブルが可能である。本例の場合、このキーコードC_{KEY}もスクランブルされて送信されるので、第三者が識別することはほとんど不可能である。

ところで、上述実施例によれば、発生器(8T)

における生成多項式 $f(x)$ は10次及び11次とする例であるが、その他の次数を含めてもよい。例えば9次、12次等である。この場合、例えば9次は

512ビット周期、10次は1024ビット周期、11次は2048ビット周期、12次は4096ビット周期のパターンのM系列符号となる。因みに1フレームは例えば2048ビットであり、この1フレームの間で9次の場合、4回巡回し、10次の場合、2回巡回し、11次の場合、1回巡回し、12次の場合、 $1/2$ 回巡回する。上述実施例では、生成多項式 $f(x)$ の次数を変えること及び同次数内でのパターンを変えることを組み合わせたものであるが、夫々一方のみを制御してもよい。尚、次数を低くすると、周期が小さくなり同じパターンのスクランブルになるのであまり低くできず、また逆に高くすると素子数が多くなり、コストアップとなる。

また、上述実施例は発生器(8T)の生成多項式 $f(x)$ を変えるものであるが、生成多項式は一定とし、その初期値を変えるようにしてもよい。

第6図は、その場合における送信系のスクラン

プに基づいてプリセットされる。このような動作はフレーム毎になされ、発生器(8T)の初期値は所定フレーム毎に変えられる。即ち、この発生器(8T)からは所定フレーム毎に初期値の変えられたM系列符号 S_M が発生され、これによってスクランブルがなされる。この場合、第1図例においてはキーコード C_{KEY} として発生器(8T)の1フレーム後の生成多項式 $f(x)$ に対応するものとされたが、本例の場合には、発生器(8T)の1フレーム後の初期値に対応するものとされる。

また、受信系のデスクランブル制御回路(9R)及びM系列符号発生器(8R)も第6図に示すように構成され、その他は第2図例と同様に構成される。

発生器(8R)は制御回路(9R)によって、所定フレーム毎にその初期値が変えられ、この発生器(8R)からは信号 S_{sc} がスクランブルされたときと同じ初期値のM系列符号 S_M が発生される。従って、イクスクルーシブオア回路(7R)からは、デスクランブルされた信号が得られる。即ち、第

7図Aはフレーム同期信号 FS を示すものであり、また同図Bはデコーダ(5R)(第2図参照)の出力信号を示すものであり、18, 5A, C3...等はキーコード C_{KEY} を示している。あるフレーム同期信号 FS ののちに、キーコード分離回路(4R)

同図において、(22), (23)はDフリップフロップ回路、(24)はイクスクルーシブオア回路であり、これらにより発生器(8T)が構成される。この場合、夫々の回路(22), (23)は5個の直列接続されたDフリップフロップを有してなり、 $O_A \sim O_E$ は出力端子であり、例えば10次の生成多項式 $f(x) = x^{10} + x^3 + 1$ が形成される。

また、(25)は制御回路(9T)を構成するマイコンであり、その出力端子 $O_1 \sim O_{10}$ には、上述した回路(22), (23)のDフリップフロップの初期値を設定する初期値データが出力され、これが回路(22), (23)の端子A~Eに供給される。マイコン(25)の出力端子 O_P からはフレーム同期信号 FS に同期してプリセットイネーブル信号 S_E が出力され、これが回路(22), (23)のプリセットイネーブル端子に供給され、回路(22), (23)のDフリップフロップの初期値は初期値デ

7図Aはフレーム同期信号 FS を示すものであり、また同図Bはデコーダ(5R)(第2図参照)の出力信号を示すものであり、18, 5A, C3...等はキーコード C_{KEY} を示している。あるフレーム同期信号 FS ののちに、キーコード分離回路(4R)

(第2図参照)でキーコード C_{KEY} が分離され制御回路(9R)に供給される。このキーコード C_{KEY} は次のフレームをスクランブルしているM系列符号 S_M の初期値を示すものである。このキーコード C_{KEY} が供給されると、制御回路(9R)のマイコン(25)の出力端子 $O_1 \sim O_{10}$ には、第7図Dに示すようにキーコード C_{KEY} に基づく初期値設定データが出力される。そして、次のフレーム同期信号 FS に同期して回路(22), (23)のイネーブル端子にプリセットイネーブル信号 S_E (第7図Cに図示)が供給され、回路(22), (23)のDフリップフロップの初期値は、第7図Eに示すようにキーコード C_{KEY} に対応したものとされる。即ち、発生器(8R)からはスクランブルされたときと同じ初期値のM系列符号 S_M が発生され、

デスクランブルが良好になされる。

このように、M系列符号 S_M の初期値を変えるものによっても、上述した生成多項式 $f(x)$ を変えるものと同様の作用効果を得ることができる。しかも、この場合、10次の生成多項式を基にしているので、実質的に $2^{10} - 1 = 1023$ 通りのパターンを得ることができ、初期値をランダムに変えることにより、第三者のデスクランブルをより困難とすることができる。また、上述実施例に比べ構成も簡単となる。

また、上述実施例においては、M系列符号の生成多項式を変えるかあるいはその初期値を変えるかのいずれかであったが、これら双方を変えるように構成してもよい。

(発明の効果)

以上述べた本発明によれば、生成多項式又はその初期値が所定タイミングで順次変えられたM系列符号によってスクランブルされて送信されるので、第三者のデスクランブルが極めて困難となり、データの秘密性が高いものとなる。従って、特定

の契約者のみが受信し得るシステムに適用して好適である。

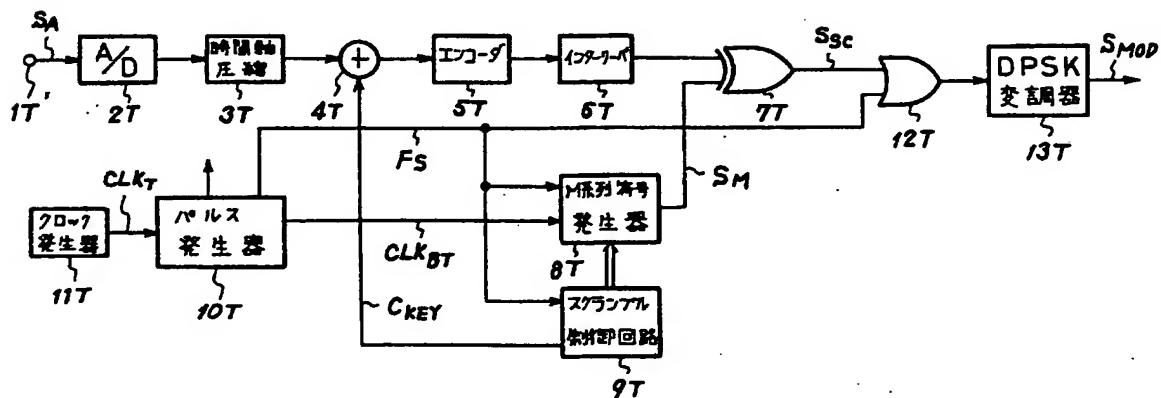
図面の簡単な説明

第1図及び第4図は夫々本発明の一実施例を示す構成図、第2図及び第5図は夫々その説明のための図、第3図はM系列符号発生器等の具体回路図、第6図は本発明の他の実施例を示すM系列符号発生器等の具体回路図、第7図はその説明のための図である。

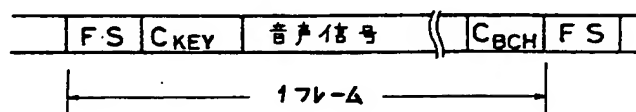
(7T) はイクスクルーシブオア回路、(8T) はM系列符号発生器、(9T) はスクランブル制御回路、C_{KEY} はキーコードである。

代理人 伊藤 貞
同 松隈 秀盛

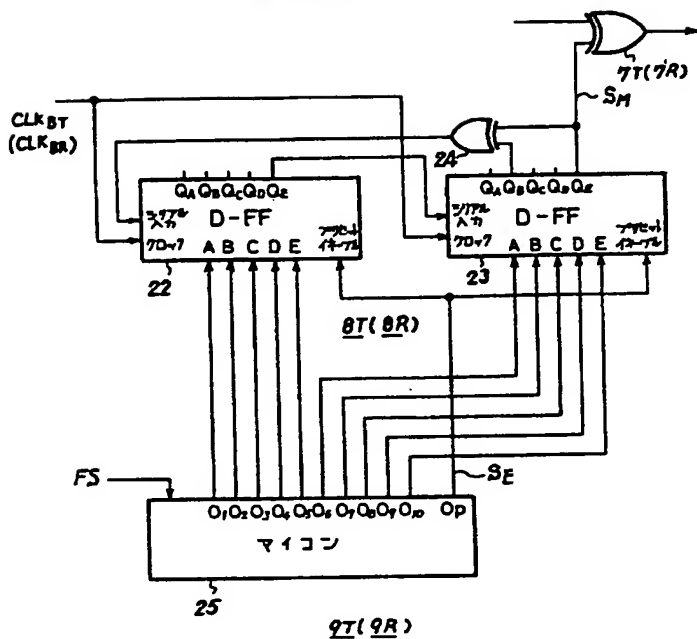
第1図



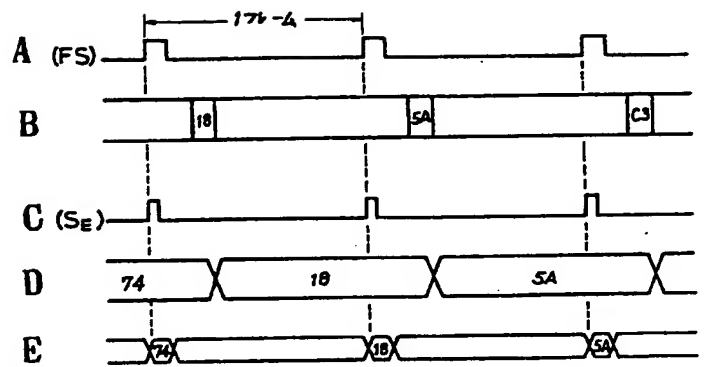
第2図



第 6 図



第 7 図



手続補正書

昭和60年 2月 8日

特許庁長官 志 賀 学 殿

適

1. 事件の表示

昭 和 5 9 年 特 許 願 第 2 6 3 5 3 6 号

2. 発明の名称

送信方式

3. 補正をする者

事件との関係	特許出願人
--------	-------

住所 東京都品川区北品川6丁目7番35号

名 称 (2 1 8) ソ ニ ー 株 式 会 社

代表取締役 大賀 典雄

4. 代理人

住 所 東京都新宿区西新宿1丁目8番1号
TEL 03-343-582100 (新宿ビル)

氏 名 (3388) 弁理士 伊 藤 貞

5. 補正命令の日付 昭和 年 月 日

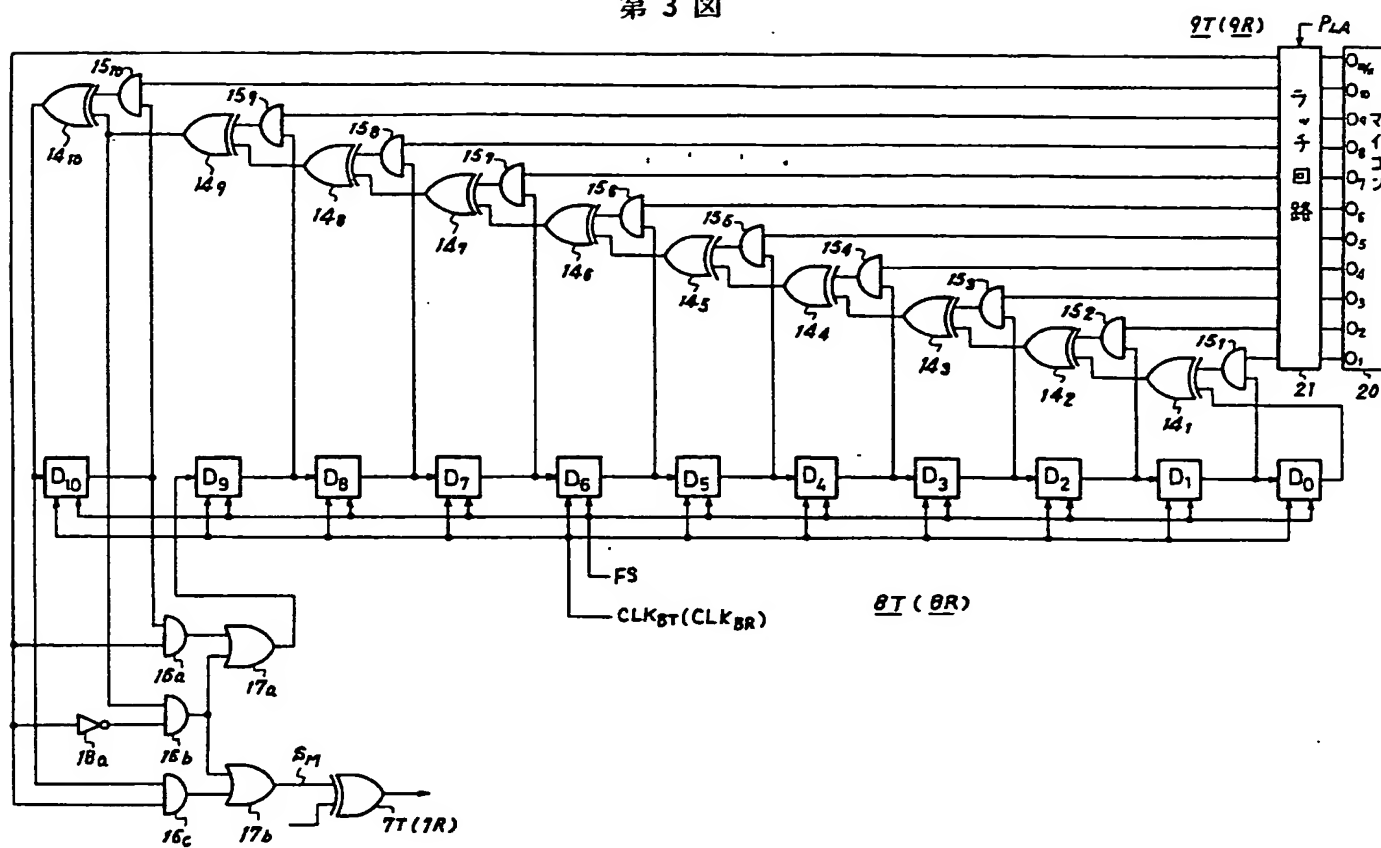
6. 補正により増加する発明の数

7.補正の対象 明細書の発明の明細図面、

8. 補正の内容

- (1) 明細書中、第5頁8行「M系列信号 S_M 」とあるを「M系列符号 S_M 」に訂正する。
- (2) 同、同頁19行～20行「また、アンド回路 (16) 、 (17) 、オア回路 (18) 、インバータ (19) は」とあるを「また、アンド回路 (16a) ～ (16c) 、オア回路 (17a) 、 (17b) 、インバータ (18a) は」に訂正する。
- (3) 同、第11頁4行「発振器 (8R) 」とあるを「発生器 (8R) 」に訂正する。
- (4) 図面中、第3図を別紙の通り訂正する。

以上



THIS PAGE BLANK (USPTO)